

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0079998  
Application Number

출원년월일 : 2002년 12월 14일  
Date of Application DEC 14, 2002

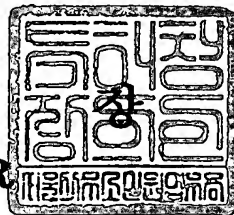
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 29 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002. 12. 14
【발명의 명칭】	반도체 소자의 제조 방법
【발명의 영문명칭】	METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	1999-024436-4
【발명자】	
【성명의 국문표기】	이민용
【성명의 영문표기】	LEE, Min Yong
【주민등록번호】	711027-1074229
【우편번호】	138-221
【주소】	서울특별시 송파구 잠실1동 104동 301호
【국적】	KR
【발명자】	
【성명의 국문표기】	은용석
【성명의 영문표기】	EUN, Yong Seok
【주민등록번호】	670831-1119816
【우편번호】	463-916
【주소】	경기도 성남시 분당구 야탑3동 매화마을 주공아파트 210동 1304호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 강성배 (인)



【수수료】

【기본출원료】 13 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 5 항 269,000 원

【합계】 298,000 원

【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 소자의 전기적 특성을 개선시킬 수 있는 반도체 소자의 제조 방법에 관한 것으로, 반도체 기판상에 복수의 게이트를 형성하는 단계; 상기 게이트를 피복하도록 상기 기판 전면상에 절연막을 형성하는 단계; 상기 절연막상에 제1마스크 패턴을 형성하는 단계; 상기 제1마스크 패턴을 마스크로 하는 에칭으로 상기 절연막을 선택적으로 제거하여 상기 기판의 접합 영역과 일부의 게이트를 노출시키는 콘택홀을 형성하는 단계; 상기 제1마스크 패턴을 제거하는 단계; 상기 선택적으로 제거된 절연막상에 상기 기판의 접합 영역을 노출시키는 제2마스크 패턴을 형성하는 단계; 상기 제2마스크 패턴을 마스크로 하는 이온주입으로 상기 기판의 접합 영역에 소정의 이온을 주입하는 단계; 상기 제2마스크 패턴을 제거하는 단계; 상기 기판 전체에 대하여 열처리하는 단계; 및 상기 콘택홀을 전도체로 매립하여 비트라인 콘택을 형성하는 단계를 포함하는 것을 특징으로 하며, 콘택 형성을 위한 기존의 에칭 공정이나 콘택 물질의 변화 등의 연관 공정의 변화 없이 효과적으로 비트라인 콘택 저항을 감소시킬 수 있고, 또한 저항의 균일성을 향상시킬 수 있는 효과가 있는 것이다.

**【대표도】**

도 3

**【명세서】****【발명의 명칭】**

반도체 소자의 제조 방법 {METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE}

**【도면의 간단한 설명】**

도 1 내지 도 4 는 본 발명에 따른 반도체 소자의 제조 방법을 설명하기 위한 공정별 단면도.

\* 도면의 주요부분에 대한 부호의 설명 \*

90; 소자분리막 100; 반도체 기판

110; 게이트 120, 120a; 절연막

130; 제1마스크 패턴 140; 콘택홀

150; 제2마스크 패턴

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<7> 본 발명은 반도체 소자의 제조 방법에 관한 것으로, 보다 상세하게는 비트라인 콘택 저항을 감소시키고 저항 균일성을 향상시켜 소자의 전기적 특성을 개선시킬 수 있는 반도체 소자의 제조 방법에 관한 것이다.

<8> 일반적으로, 반도체 소자의 생산성 향상을 위해 높은 수율과 고집적화가 요구되는 것이 최근의 실정이다. 이에 따라, 트랜지스터의 안정적인 동작을 위하여 트랜지스터 특

성을 확보하면서도 소자의 빠른 동작과 저전력 소모를 위하여 소자내 저항 발생을 최소화하는 것이 요구된다.

- <9> 이를 달성하기 위하여 종래 기술에 따른 반도체 소자의 제조 방법으로 급속 열처리(RTA)를 이용하여 페리 트랜지스터(Peri Transistor)의 S/D 접합(Source/Drain Junction) 형성 도펀트(Dopant)를 활성화(Activation) 시키는 방법이 사용되고 있다.
- <10> 위와 같은 방법에 있어서, p+ S/D 접합은 비트라인과 콘택하게 된다. 이때 야기되는 콘택 저항을 줄이기 위하여 먼저 p+ S/D 접합의 농도를 추가한 다음 다시 급속 열처리를 이용한 어닐링을 통해 도펀트(Dopant)를 활성화(Activation)시킨다. 그결과, 비트라인 콘택 저항이 낮아지게 된다.

**【발명이 이루고자 하는 기술적 과제】**

- <11> 그러나, 종래 기술에 따른 반도체 소자의 제조 방법에 있어서는 다음과 같은 문제점이 있었다.
- <12> 종래 기술에 있어서, 반도체 소자의 크기가 축소됨에 따라 콘택 저항은 증가되어 보다 고온의 어닐링 공정을 요구하게 된다. 이러한 고온 어닐링 공정 적용시 적정온도 이상의 온도를 넘게 되면 열에 의한 도펀트의 활성화는 온도에 비례하므로 저항이 감소되지 않게 되지만, 도펀트를 오히려 비활성화(Deactivation) 시켜 반대로 저항을 증가시키는 역효과가 발생할 수 있다.
- <13> 따라서, 보다 고온의 열처리 공정에 의해 야기되는 잔류 응력(Residue Stress)으로 야기되는 리프레쉬(Refresh) 특성이 저하되는 문제점이 있었다. 또한, 급속 열처리(RTA) 공정으로 인하여 저항의 균일성(Uniformity)이 저하되는 문제점이 있었다.

<14> 이에 본 발명은 상기한 종래 기술상의 문제점을 해결하기 위하여 안출된 것으로, 본 발명의 목적은 열처리 공정의 온도를 높이지 아니하고 적절한 농도의 접합 형성 도핑으로 비트라인 콘택 저항을 감소시키고 저항의 균일성을 향상시킬 수 있는 반도체 소자의 제조 방법을 제공함에 있다.

**【발명의 구성 및 작용】**

<15> 상기한 목적을 달성하기 위한 본 발명에 따른 반도체 소자의 제조 방법은, 반도체 기판상에 복수의 게이트를 형성하는 단계; 상기 게이트를 피복하도록 상기 기판 전면상에 절연막을 형성하는 단계; 상기 절연막상에 제1마스크 패턴을 형성하는 단계; 상기 제1마스크 패턴을 마스크로 하는 에칭으로 상기 절연막을 선택적으로 제거하여 상기 기판의 접합 영역과 일부의 게이트를 노출시키는 콘택홀을 형성하는 단계; 상기 제1마스크 패턴을 제거하는 단계; 상기 선택적으로 제거된 절연막상에 상기 기판의 접합 영역을 노출시키는 제2마스크 패턴을 형성하는 단계; 상기 제2마스크 패턴을 마스크로 하는 이온주입으로 상기 기판의 접합 영역에 소정의 이온을 주입하는 단계; 상기 제2마스크 패턴을 제거하는 단계; 상기 기판 전체에 대하여 열처리하는 단계; 및 상기 콘택홀을 전도체로 매립하여 비트라인 콘택을 형성하는 단계를 포함하는 것을 특징으로 한다.

<16> 상기 이온주입은, 상기 기판의 접합 영역 형성을 위한 이온주입 도우즈량의 150% ~ 200% 의 도우즈량을 이용하는 것을 특징으로 하며, 상기 기판의 접합 영역 형성을 위한 이온주입 에너지의 150% ~ 200%인 에너지를 이용하는 것을 특징으로 한다.

<17> 상기 이온주입은, 틸트(Tilt)각은 0° ~ 60°, 배향(Orient)은 0° ~ 90°, 로테이션(Rotation)은 0회 ~ 4회 조건으로 이용하는 것을 특징으로 한다.

- <18> 상기 열처리는, 830℃ 이하의 온도와, 1~25 slm의 N<sub>2</sub> 가스 유량과, 10 ~ 100℃/sec의 가열속도를 조건으로 하는 급속 열처리(RTA)인 것을 특징으로 한다.
- <19> 본 발명에 의하면, 효과적으로 비트라인 콘택 저항을 감소시킬 수 있고, 또한 저항의 균일성을 향상시킬 수 있게 된다.
- <20> 이하, 본 발명에 따른 반도체 소자의 제조 방법을 첨부한 도면을 참조하여 상세히 설명한다.
- <21> 도 1 내지 도 4 는 본 발명에 따른 반도체 소자의 제조 방법을 설명하기 위한 공정별 단면도이다.
- <22> 본 발명에 따른 반도체 소자의 제조 방법은, 도 1에 도시된 바와 같이, 먼저 실리콘 등과 같은 반도체 기판(100)상에 복수의 게이트(110)를 형성한다. 한편, 상기 기판(100)내에는 에칭(Etching)으로 소자분리막(90)을 형성하고, 이온주입(Implant)으로 상기 게이트(110) 양측면 아래에 소오스/드레인 접합 영역(Source/Drain Junction)을 형성한다.
- <23> 다음으로, 상기 게이트(110)를 완전히 피복하도록 상기 기판(100) 전면상에 산화막 등의 증착으로 절연막(120)을 형성한다.
- <24> 이어서, 도 2에 도시된 바와 같이, 상기 절연막(120)상의 포토레지스트의 코팅과 패터닝으로 제1마스크 패턴(130)을 형성한다. 그런다음, 상기 제1마스크 패턴(130)을 에칭 마스크로 하는 에칭 공정으로 상기 절연막(120)을 선택적으로 제거한다. 그리하여, 패터닝된 절연막(120a)의 개방 부분을 통하여 상기 기판(100)의 접합 영역과 일부의 게이트(110)의 도전층을 노출시키는 수개의 콘택홀(140)을 형성한다.



- <25> 다음으로, 도 3에 도시된 바와 같이, 상기 제1마스크 패턴(130)을 제거한 다음, 상기 패터닝된 절연막(120a)상에 상기 기판(100)의 접합 영역을 노출시키는 제2마스크 패턴(150)을 형성한다.
- <26> 계속하여, 상기 제2마스크 패턴(150)을 마스크로 하는 이온주입(Implant)으로 상기 기판(100)의 접합 영역에 소정의 이온을 재차 주입한다. 이때의 이온주입은, 상기 접합 영역 형성을 위한 이온주입 도우즈량의 150% ~ 200%인 고농도 도우즈(High Dose)량이다.
- <27> 또한, 상기 고농도 도우즈량을 이용하는 상기 이온주입은, 상기 접합 영역 형성을 위한 이온주입 도우즈량의 150% ~ 200%인 에너지를 이용한다. 또한, 상기 이온주입은, 틸트(Tilt)각은 0°~ 60°이고, 배향(Orient)은 0°~ 90°이고, 로테이션(Rotation)은 0회 ~ 4회인 조건으로 진행한다.
- <28> 이어서, 도 4에 도시된 바와 같이, 상기 제2마스크 패턴(150)을 제거한 다음, 상기 기판(100) 전체에 대해 열처리를 실시한다. 상기 열처리는 급속 열처리(RTA) 공정을 이용하는데, 구체적으로 830℃ 이하의 온도와, 1~25 slm의 N<sub>2</sub> 가스 유량과, 10 ~ 100℃ /sec의 가열속도(Heating Rate) 조건으로 진행한다.
- <29> 상기 급속 열처리 공정을 진행한 다음, 상기 콘택홀(140)을 전도체로 매립하여 비트라인 콘택(160)을 형성한다.
- <30> 이후, 주지의 공정으로 비트라인 등을 형성하여 반도체 소자를 완성한다.
- <31> 본 발명의 원리와 정신에 위배되지 않는 범위에서 여러 실시예는 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 자명할 뿐만 아니라 용이하게 실시할 수 있다. 따라서, 본원에 첨부된 특허청구범위는 이미 상술된 것에 한정되지 않으며, 하기 특

허청구범위는 당해 발명에 내재되어 있는 특허성 있는 신규한 모든 사항을 포함하며, 아울러 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해서 균등하게 처리되는 모든 특징을 포함한다.

**【발명의 효과】**

<32>       이상에서 설명한 바와 같이, 본 발명에 따른 반도체 소자의 제조 방법에 의하면, 콘택 형성을 위한 기존의 에칭 공정이나 콘택 물질의 변화 등의 연관 공정의 변화없이 효과적으로 비트라인 콘택 저항을 감소시킬 수 있고, 또한 저항의 균일성을 향상시킬 수 있는 효과가 있다.

**【특허청구범위】****【청구항 1】**

반도체 기판상에 복수의 게이트를 형성하는 단계;

상기 게이트를 피복하도록 상기 기판 전면상에 절연막을 형성하는 단계;

상기 절연막상에 제1마스크 패턴을 형성하는 단계;

상기 제1마스크 패턴을 마스크로 하는 에칭으로 상기 절연막을 선택적으로 제거하여

상기 기판의 접합 영역과 일부의 게이트를 노출시키는 콘택홀을 형성하는 단계;

상기 제1마스크 패턴을 제거하는 단계;

상기 선택적으로 제거된 절연막상에 상기 기판의 접합 영역을 노출시키는 제2마스크 패턴을 형성하는 단계;

상기 제2마스크 패턴을 마스크로 하는 이온주입으로 상기 기판의 접합 영역에 소정의 이온을 주입하는 단계;

상기 제2마스크 패턴을 제거하는 단계;

상기 기판 전체에 대하여 열처리하는 단계; 및

상기 콘택홀을 전도체로 매립하여 비트라인 콘택을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

**【청구항 2】**

제1항에 있어서,

상기 이온주입은, 상기 접합 영역 형성을 위한 이온주입 도우즈량의 150% ~ 200% 의 도우즈량을 이용하는 것을 특징으로 하는 반도체 소자의 제조 방법.

**【청구항 3】**

제2항에 있어서,

상기 이온주입은, 상기 접합 영역 형성을 위한 이온주입 도우즈량의 150% ~ 200%인 에너지를 이용하는 것을 특징으로 하는 반도체 소자의 제조 방법.하는 것을 특징으로 하는 반도체 소자의 제조 방법.

**【청구항 4】**

제2항에 있어서,

상기 이온주입은, 틸트(Tilt)각은  $0^{\circ}$  ~  $60^{\circ}$ , 배향(Orient)은  $0^{\circ}$  ~  $90^{\circ}$ , 로테이션(Rotation)은 0회 ~ 4회 조건으로 이용하는 것을 특징으로 하는 반도체 소자의 제조 방법.

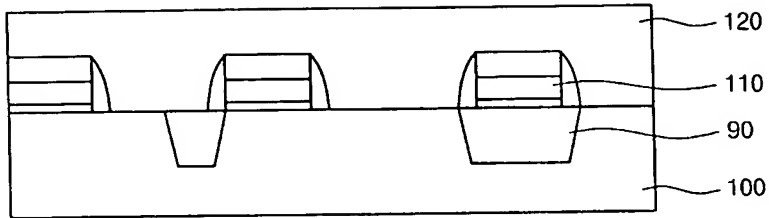
**【청구항 5】**

제1항에 있어서,

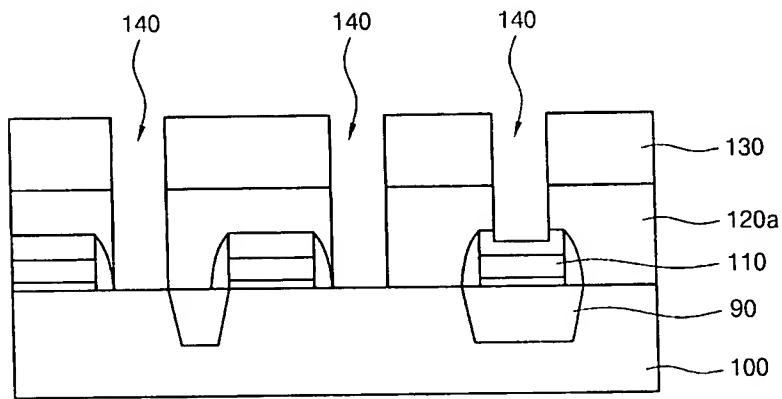
상기 열처리는,  $830^{\circ}\text{C}$  이하의 온도와, 1~25 slm의  $\text{N}_2$  가스 유량과,  $10 \sim 100^{\circ}\text{C}/\text{sec}$ 의 가열속도를 조건으로 하는 급속 열처리(RTA)인 것을 특징으로 하는 반도체 소자의 제조 방법.

【도면】

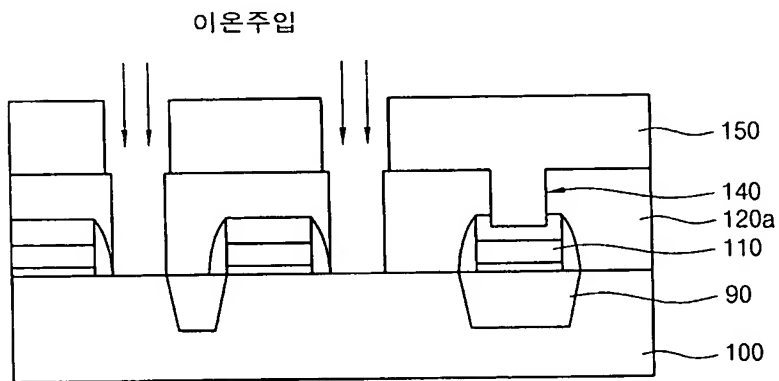
【도 1】



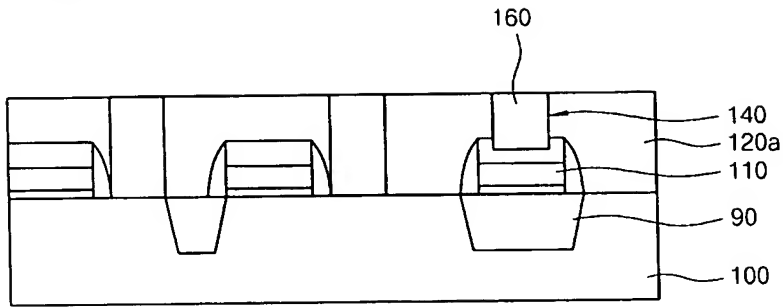
【도 2】



【도 3】



【도 4】



【도 5】

Items	Base	S1	S2	S3	S4
P+add imp(15KeV, BF2)	2.00E+15	3.00E+15	4.00E+15		
P+Add RTA	800°C. 20s	830°C. 20s	800°C. 20s		
V <sub>sat</sub> 2.5(100.22)	V	0.312	0.317	0.319	3.22
I <sub>ds</sub> 2.5(100.22)	uA/um	219	223	219	219.8
BV <sub>dss</sub> (100.22_@10n)	V	6.4	6.5	6.6	6.6
N+ RS(3.6*360)	Ω/□	134.9	134.8	135.1	135.1
P+ RS(3.6*360)	Ω/□	256.3	254.5	254.2	253.8
BLC2 to P+(0.20)	Ω/ea	1414	1083	1098	1050

【도 6】

